

PAT-NO: JP363069258A
DOCUMENT-IDENTIFIER: JP 63069258 A
TITLE: MULTILAYER INTERCONNECTION SUBSTRATE
PUBN-DATE: March 29, 1988

INVENTOR-INFORMATION:
NAME
NISHIMORI, HIDEKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP61213007
APPL-DATE: September 10, 1986

INT-CL (IPC): H01L023/52, H01L023/12 , H01L025/04 ,
H05K003/46

US-CL-CURRENT: 257/691

ABSTRACT:

PURPOSE: To use a timing signal interconnection layer as other interconnections in an integrated circuit which does not need a timing signal by connecting the interconnection layer through a logic signal interconnection layer to the terminal of a logic integrated circuit.

CONSTITUTION: A conductor layer 21 is an electrode layer for interconnecting the internal conductor 13 of a ceramic substrate to multilayer interconnections. Conductor layers 22, 23 are logic signal interconnections,

and a conductor layer 24 is a ground layer for shielding noise signals generated in the layers 22, 23. A conductor layer 25 is a timing signal layer having timing signal interconnections commonly used for many multilayer interconnection substrate. Further, a conductor layer 26 is a surface layer having electrodes for attaching a logic integrated circuit 41. The leads 51 of the circuit 41 are not connected to the timing signal interconnections 64 but used for a general logic signal.

COPYRIGHT: (C)1988, JPO&Japio

⑤ Int.Cl.

識別記号

庁内整理番号

④ 公開 昭和63年(1988)3月29日

H 01 L 23/52

8728-5F

23/12

N-7738-5F

25/04

Z-7638-5F

H 05 K 3/46

C-7342-5F

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 多層配線基板

⑦ 特 願 昭61-213007

⑧ 出 願 昭61(1986)9月10日

⑨ 発 明 者 西 森 英 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑪ 代 理 人 弁理士 菅 野 中

明 細 書

1. 発明の名称

多層配線基板

2. 特許請求の範囲

(1) 設置される論理集積回路の種類によらず一定の配線パターンでタイミング信号を分配するタイミング信号配線層と、このタイミング信号以外の論理信号を分配する論理信号配線層とを含む多層配線基板において、前記タイミング信号配線層の両端をそれぞれ前記論理信号配線層を経由して論理集積回路の端子に接続したことを特徴とする多層配線基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は多層配線基板の構造に関し、特に信号配線層の構造に関する。

〔従来の技術〕

従来、この種の多層配線基板を電子計算機などの論理回路に使用するとき、論理集積回路のクロック信号や、メモリ集積回路の寄込パルス信号

などのようなタイミング信号を分配する必要があるが、これらのタイミング信号を伝送する配線層は、他の一般論理信号の配線層と分離すれば、タイミング信号が他の論理信号の動作によって発生するノイズの影響を受けて精度が悪化することを避けることが可能である。

〔発明が解決しようとする問題点〕

しかし上述した多層配線基板のタイミング信号層は、大型電子計算機など大量の多層配線基板を使用する装置においては、多層配線基板の種類毎に違った配線パターンを準備する必要があり、多くの露光用マスクを準備しなければならないが、多くの露光用マスクを準備するのは製造上コスト高となり、好ましくない。

従って、このようなタイミング信号配線層の配線パターンは、必要な配線をすべて収容した1種類のパターンを準備し、すべての多層配線基板で共通のマスクが使用できることが望ましい。ところが、これらのタイミング信号配線層を配線しておく、タイミング信号が必要でない集積回路を

使用する場合においても、タイミング信号配線層は配線されているため、タイミング信号配線層が配線された集積回路の端子は他の論理信号端子として使用することができない。特にメモリ集積回路を多数搭載する多層配線基板においては書込パルス入力用の端子を多数使用するため、これらがすべて他の論理信号配線として使用できないという欠点がある。

本発明の目的は配線の有効利用を図る多層配線基板を提供することにある。

〔問題点を解決するための手段〕

本発明は設置される論理集積回路の種類によらず一定の配線パターンでタイミング信号を分配するタイミング信号配線層と、このタイミング信号以外の論理信号を分配する論理信号配線層とを含む多層配線基板において、前記タイミング信号配線層の両端をそれぞれ前記論理信号配線層を經由して論理集積回路の端子に接続したことを特徴とする多層配線基板である。

〔実施例〕

41を取付ける電極を備えた表面層である。第1図においては論理集積回路41のリード51はタイミング信号配線64には接続されず、一般の論理信号に使用される状態を示している。タイミング信号配線64の端部は層間接続用バイアホール65によって導体層23上の配線用パッド62に接続されており、論理集積回路41のリード51からも接続用バイアホールを通して導体層23の配線用パッド61に接続されているが、パッド61と62の間は接続されず、パッド61は一般の論理信号として導体層23、22内で他の集積回路のリード等へ接続され、パッド62はどこへも接続されない状態となる。

〔実施例2〕

第2図は配線用パッド61と62の間を接続配線63で接続した状態を示している。このように接続することにより、集積回路41のリード51はタイミング信号配線64と導体層23を經由して接続され、リード51はタイミング信号端子として使用でき、導体層25は論理信号配線の種類にかかわらず常に同一の配線パターンが使用可能となる。

次に本発明の実施例について図面を参照して説明する。

〔実施例1〕

第1図は本発明の実施例1を示す多層配線基板の断面図である。第1図において、多層配線基板11は、内部に導体13が埋め込まれたセラミック基板12と、このセラミック基板12上に積層された導体層21～26およびこれらの導体層の間を絶縁する絶縁層31からなり、この多層配線基板11の表面には論理集積回路41がリード51により接続され、裏面には外部信号等との接続のための入出力端子71がろう付けされている。

ここで、上記導体層21～26について更に説明すると、導体層21はセラミック基板の内部導体13と多層配線部を接続するための電極層、導体層22および23は一般の論理信号配線層、導体層24は導体層22、23で発生するノイズ信号をしゃへいするための接地層、導体層25は多くの多層配線基板に共通に使用できるように、タイミング信号配線を備えたタイミング信号層、導体層26は論理集積回路

第1図および第2図の実施例において一般の論理信号配線層22、23は接地層24の下側に、タイミング信号層25は接地層24の上側に配置されているが、これらの位置関係は必要に応じて逆転させることも可能である。

〔発明の効果〕

本発明は以上説明したように、タイミング信号配線層は論理信号配線層を經由して論理集積回路の端子に接続してあるため、タイミング信号が不要な集積回路の場合に前記タイミング信号配線層をタイミング信号以外の論理信号用の配線として用いることができ、配線の有効利用を実現できる効果を有するものである。

4. 図面の簡単な説明

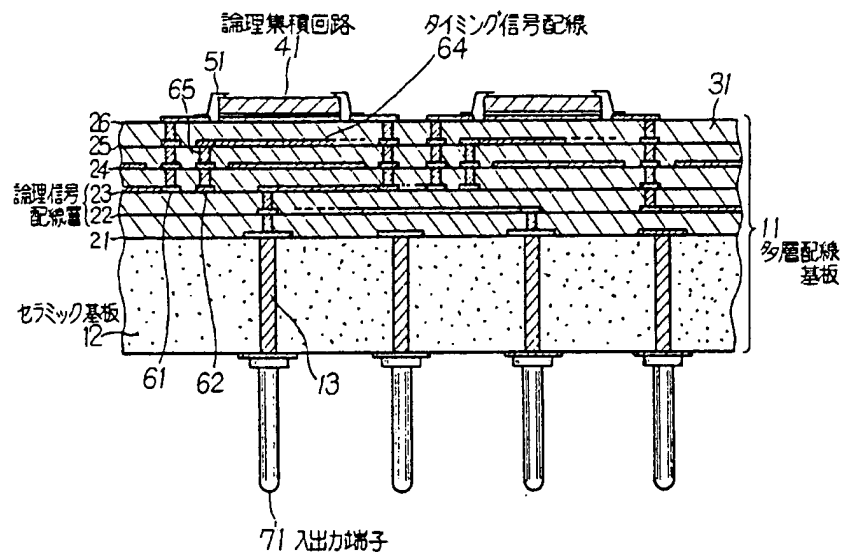
第1図および第2図は本発明の多層配線基板の断面図である。

11…多層配線基板	12…セラミック基板
13…内部導体	21～26…導体層
31…絶縁層	41…論理集積回路
51…リード	61, 62…配線用パッド

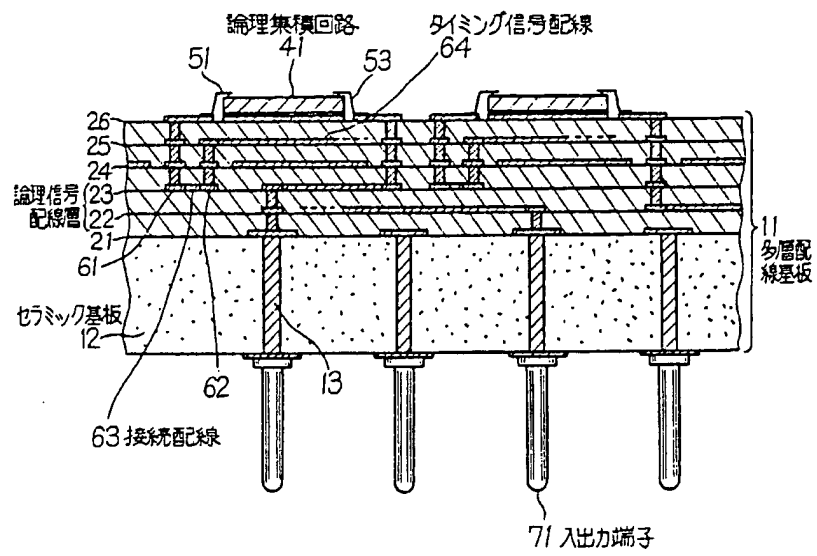
63…接続配線 64…タイミング信号配線
65…層間接続用ビアホール

特許出願人 日 本 電 気 株 式 会 社

代 理 人 弁 理 士 菅 野 中



第1図



第2図